

公司代码：688008

公司简称：澜起科技

澜起科技股份有限公司 2025 年年度报告摘要



第一节 重要提示

1. 本年度报告摘要来自年度报告全文，为全面了解本公司的经营成果、财务状况及未来发展规划，投资者应当到 <http://www.sse.com.cn> 网站仔细阅读年度报告全文。

2. 重大风险提示

公司已在本报告中描述可能存在的相关风险，敬请查阅本报告“第三节 管理层讨论与分析”之“四、风险因素”。

3. 本公司董事会及董事、高级管理人员保证年度报告内容的真实性、准确性、完整性，不存在虚假记载、误导性陈述或重大遗漏，并承担个别和连带的法律责任。

4. 公司全体董事出席董事会会议。

5. 安永华明会计师事务所（特殊普通合伙）为本公司出具了标准无保留意见的审计报告。

6. 公司上市时未盈利且尚未实现盈利

是 否

7. 董事会决议通过的本报告期利润分配预案或公积金转增股本预案

公司2025年度利润分配预案为：拟以实施权益分派股权登记日登记的总股本扣除公司回购专用账户上已回购股份后的股份余额为基数，每10股派发现金红利人民币3.90元（含税）。截至2026年2月28日，公司的总股本1,222,200,021股，其中A股回购专用账户的股数为12,533,000股，因此本次拟发放现金红利的股本基数为1,209,667,021股，以此计算合计拟派发现金红利471,770,138.19元（含税）。本次利润分配不送红股，不进行公积金转增股本。如在实施权益分派的股权登记日前公司总股本发生变动的，公司拟维持每股分配比例不变，相应调整分配总额。2025年度利润分配预案尚需提交公司2025年度股东会审议通过。

公司2025年中期利润分配方案为：以实施权益分派股权登记日登记的总股本扣除公司回购专用账户上已回购股份后的股份余额为基数，每10股派发现金红利人民币2.00元（含税）。该分配方案经公司第三届董事会第十次会议审议通过，实际派发现金红利226,856,066.00元（含税）。2025年中期利润分配方案已于2025年10月实施完毕。此外，2025年度公司以现金为对价，通过集中竞价方式回购股份金额为420,723,405.89元（不含佣金、过户费等交易费用）。

综上，本年度公司现金分红（含回购）的合计为1,119,349,610.08元（含税），占2025年度合并报表中归属于上市公司股东净利润的比例为50.07%。

母公司存在未弥补亏损

□适用 √不适用

8. 是否存在公司治理特殊安排等重要事项

□适用 √不适用

第二节 公司基本情况**1. 公司简介****1.1 公司股票简况**

√适用 □不适用

公司股票简况				
股票种类	股票上市交易所及板块	股票简称	股票代码	变更前股票简称
A股	上海证券交易所科创板	澜起科技	688008	/
H股	香港联合交易所主板	澜起科技	6809	/

1.2 公司存托凭证简况

□适用 √不适用

1.3 联系人和联系方式

	董事会秘书	证券事务代表
姓名	傅晓	孔旭
联系地址	上海市徐汇区漕宝路 181 号和光天地 16 层	上海市徐汇区漕宝路 181 号和光天地 16 层
电话	021-5467 9039	021-5467 9039
传真	021-5426 3132	021-5426 3132
电子信箱	ir@montage-tech.com	ir@montage-tech.com

2. 报告期公司主要业务简介**2.1 主要业务、主要产品或服务情况**

澜起科技是一家全球领先的无晶圆厂集成电路设计公司,致力于为云计算及 AI 基础设施提供创新、可靠及高能效的互连解决方案。目前我们拥有两大产品线,互连类芯片和津逮®产品。我们的互连类芯片主要包括内存接口芯片、内存模组配套芯片、PCIe Retimer 芯片、CXL MXC 芯片及时钟芯片等。津逮®产品主要包括津逮®CPU 及数据保护和可信计算加速芯片等。下图列示我们产品的功能及主要应用。

	主要产品	功能介绍	主要应用
互连类芯片			
内存互连芯片	RCD、DB、MRCD、MDB、CKD	<ul style="list-style-type: none"> 作为服务器CPU存取内存数据的通路，提升内存数据访问的速度及可靠性 	服务器及PC内存模组
	SPD、PMIC、TS	<ul style="list-style-type: none"> 内存模组配套芯片，用于实现系统主控设备与内存模组上组件之间的通信管理、内存模组上其他芯片的电源管理、内存模组温度监控等功能 	
PCIe/CXL互连芯片	PCIe Retimer	<ul style="list-style-type: none"> 主要用于解决在高速、远距离传输场景中时序不齐、衰减、完整性差等信号问题 	服务器
	CXL MXC	<ul style="list-style-type: none"> 用于内存池化及内存扩展 	服务器
时钟芯片	时钟发生器芯片、时钟缓冲芯片、展频振荡器	<ul style="list-style-type: none"> 用于为系统中的各类设备提供精准的时钟脉冲信号，确保系统正常运行 	广泛应用于各类电子系统
津速®产品			
津速®产品	津速®CPU	<ul style="list-style-type: none"> 津速®CPU是具有PrC（预检测）或DSC（动态安全检查）功能的x86架构CPU 	服务器
	数据保护和可信计算加速芯片	<ul style="list-style-type: none"> 用于解决数据中心等高并发数据加解密运算的需求 	服务器

➤ 互连类芯片产品线

一、 内存互连芯片

(1) 内存接口芯片（RCD/DB、MRCD/MDB 及 CKD）

内存接口芯片是服务器内存模组（又称“内存条”）的核心逻辑器件，作为服务器 CPU 存取内存数据的必由通路，其主要作用是提升内存数据访问的速度及稳定性，满足服务器 CPU 对内存模组日益增长的高性能及大容量需求。内存接口芯片需与内存厂商生产的各种内存颗粒和内存模组进行配套，并通过服务器 CPU、内存和 OEM 厂商针对其功能和性能（如稳定性、运行速度和功耗等）的全方位严格认证，才能进入大规模商用阶段。因此，研发此类产品不仅要攻克内存接口的核心技术难关，还要跨越服务器生态系统的高准入门槛。

● RCD/DB 芯片

DDR4 及 DDR5 内存接口芯片按功能可分为两类：一是寄存时钟缓冲器（RCD），用来缓冲来自内存控制器的地址、命令、时钟、控制信号；二是数据缓冲器（DB），用来缓冲来自内存控制器或内存颗粒的数据信号。RCD 与 DB 组成套片，可实现对地址、命令、时钟、控制信号和数据信号的全缓冲。仅采用了 RCD 芯片对地址、命令、时钟、控制信号进行缓冲的内存模组通常称为 RDIMM（寄存双列直插内存模组），而采用了 RCD 和 DB 套片对地址、命令、时钟、控制信号及数据信号进行缓冲的内存模组称为 LRDIMM（减载双列直插内存模组）。

澜起科技凭借其自主知识产权的高速、低功耗技术，长期致力于为新一代服务器平台提供符合 JEDEC 标准的高性能内存接口解决方案。随着 JEDEC 标准和内存技术的发展演变，我们先后推出了 DDR2-DDR5 系列内存接口芯片，可应用于各种缓冲式内存模组，包括 RDIMM 及 LRDIMM

等，满足高性能服务器对高速、大容量的内存系统的需求。我们的 DDR4 及 DDR5 内存接口芯片广泛应用于国际主流内存、服务器和云计算领域，并占据全球市场的重要份额。



图：RCD/DB 芯片及含 RCD/DB 芯片的 DDR5 LRDIMM 内存模组示意图

我们的 DDR4 内存接口芯片子代产品及其主要应用情况如下：

DDR4 内存接口芯片	主要应用
Gen1.0 DDR4 RCD 芯片	DDR4 RDIMM 和 LRDIMM，支持速率达 DDR4-2133
Gen1.0 DDR4 DB 芯片	DDR4 LRDIMM，支持速率达 DDR4-2133
Gen1.5 DDR4 RCD 芯片	DDR4 RDIMM 和 LRDIMM，支持速率达 DDR4-2400
Gen1.5 DDR4 DB 芯片	DDR4 LRDIMM，支持速率达 DDR4-2400
Gen2 DDR4 RCD 芯片	DDR4 RDIMM 和 LRDIMM，支持速率达 DDR4-2666
Gen2 DDR4 DB 芯片	DDR4 LRDIMM，支持速率达 DDR4-2666
Gen2 Plus DDR4 RCD 芯片	DDR4 RDIMM、LRDIMM 和 NVDIMM，支持速率达 DDR4-3200
Gen2 Plus DDR4 DB 芯片	DDR4 LRDIMM，支持速率达 DDR4-3200

当前，DDR5 内存模组已取代 DDR4 成为市场主流产品。DDR5 是 JEDEC 标准定义的第 5 代双倍速率同步动态随机存取存储器标准。与 DDR4 相比，DDR5 采用了更低的工作电压（1.1V），同时在传输有效性和可靠性上又迈进了一步，最新推出的 DDR5 第五子代 RCD 芯片支持速率可达 8000MT/s，是 DDR4 最高速率（3200MT/s）的 2.5 倍。

我们的 DDR5 内存接口芯片子代产品及其主要应用情况如下：

DDR5 内存接口芯片	主要应用
Gen1.0 DDR5 RCD 芯片	DDR5 RDIMM 和 LRDIMM，支持速率达 DDR5-4800
Gen1.0 DDR5 DB 芯片	DDR5 LRDIMM，支持速率达 DDR5-4800
Gen2.0 DDR5 RCD 芯片	DDR5 RDIMM，支持速率达 DDR5-5600
Gen3.0 DDR5 RCD 芯片	DDR5 RDIMM，支持速率达 DDR5-6400
Gen4.0 DDR5 RCD 芯片	DDR5 RDIMM，支持速率达 DDR5-7200
Gen5.0 DDR5 RCD 芯片	DDR5 RDIMM，支持速率达 DDR5-8000

① DDR5 第一子代 RCD 芯片支持双通道内存架构，命令、地址、时钟和控制信号 1:2 缓冲，并提供奇偶校验功能。该芯片符合 JEDEC 标准，支持 DDR5-4800 速率，采用 1.1V 工作电压，更为节能。该款芯片除了可作为中央缓冲器单独用于 RDIMM 之外，还可以与 DDR5 DB 芯片组成套片，用于 LRDIMM，以提供更高容量、更低功耗的内存解决方案。

② DDR5 第一子代 DB 芯片是一款 8 位双向数据缓冲芯片，该芯片与 DDR5 RCD 芯片一起组成套片，用于 DDR5 LRDIMM。该芯片符合 JEDEC 标准，支持 DDR5-4800 速率，采用 1.1V 工作电压。在 DDR5 LRDIMM 应用中，一颗 DDR5 RCD 芯片需搭配十颗 DDR5 DB 芯片，即每个子通道配置五颗 DB 芯片，以支持片上数据校正，并可将数据预取提升至最高 16 位，从而为高端多核服务器提供更大容量、更高带宽和更强性能的内存解决方案。

③ 2022 年 5 月，公司在业界率先试产 DDR5 第二子代 RCD 芯片。DDR5 第二子代 RCD 芯片支持双通道内存架构，命令、地址、时钟和控制信号 1:2 缓冲，并提供奇偶校验功能。该芯片符合 JEDEC 标准，支持数据速率为 5600MT/s，采用 1.1V 工作电压，更为节能。

④ 2023 年 10 月，公司在业界率先试产 DDR5 第三子代 RCD 芯片。DDR5 第三子代 RCD 芯片支持的数据速率高达 6400MT/s，较第二子代 RCD 速率提升 14.3%，较第一子代 RCD 速率提升 33.3%。

⑤ 2024 年 1 月，公司推出 DDR5 第四子代 RCD 芯片。DDR5 第四子代 RCD 芯片支持的数据速率高达 7200MT/s，较第三子代 RCD 速率提升 12.5%，较第一子代 RCD 速率提升 50%。

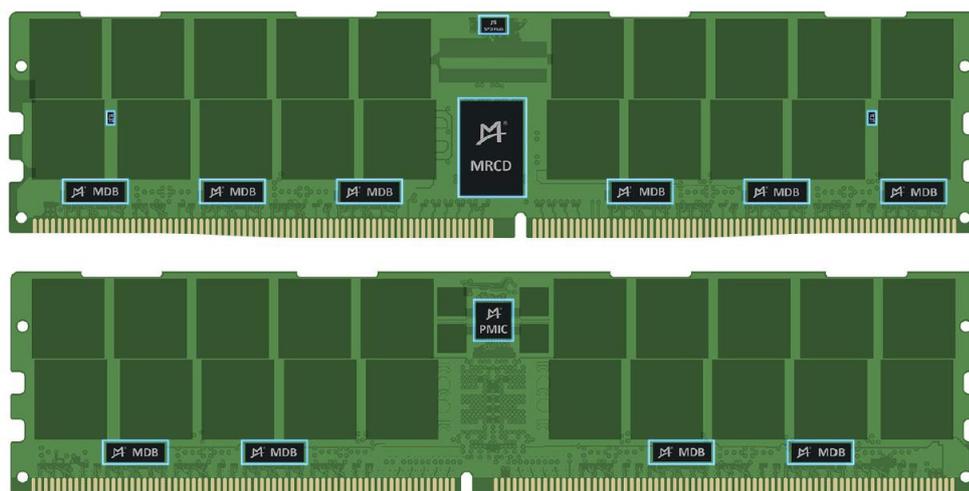
⑥ 2024 年第四季度，公司推出 DDR5 第五子代 RCD 芯片。DDR5 第五子代 RCD 芯片支持的数据速率高达 8000MT/s，较第四子代 RCD 速率提升 11.1%，较第一子代 RCD 速率提升 66.7%。

• MRCD/MDB 芯片

MRCD/MDB 芯片是服务器高带宽内存模组 MRDIMM 的核心逻辑器件。随着 AI 及大数据应用的发展以及相关技术的演进，服务器 CPU 的内核数量快速增加，对内存系统带宽的需求也日益迫切，以满足多核 CPU 中各个内核的数据吞吐要求，MRDIMM 正是基于这种应用需求而开发的。作为一种更高带宽的内存模组，第一子代 MRDIMM 支持 8800MT/s 速率，第二子代产品支持 12800MT/s 速率，每根 MRDIMM 模组均需要搭配 1 颗 MRCD、10 颗 MDB、1 颗 SPD、2 颗 TS 以及 1 颗 PMIC 芯片。

MRDIMM 的工作原理如下：MDB 芯片用来缓冲来自内存控制器或 DRAM 内存颗粒的数据信号，在标准速率下，通过 MDB 芯片可以同时访问两个 DRAM 内存阵列（而传统 RDIMM 只能访问一个阵列），从而实现双倍带宽。MRCD 则用来缓冲来自内存控制器的地址、命令、时钟、控制信号。MRDIMM 的特点和优势包括：①使用常规的 DRAM 颗粒；②与现有 DDR5 生态系统有良好的适配性；③能够大幅提升内存模组的带宽。

我们的 DDR5 第一子代 MRCD/MDB 芯片于 2024 年开始在行业规模试用。我们的第二子代 MRCD/MDB 芯片已成功向全球主要内存厂商送样，该芯片最高支持 12800MT/s 传输速率，旨在为下一代计算平台提供卓越的内存性能，满足云计算和人工智能等应用场景对内存带宽的迫切需求。



图：MRCD/MDB 芯片及含 MRCD/MDB 芯片的 MRDIMM 内存模组示意图

我们的 DDR5 高带宽内存接口芯片（MRCD/MDB）及其主要应用情况如下：

DDR5 高带宽内存接口芯片	主要应用
Gen1.0 DDR5 MRCD 芯片	DDR5 MRDIMM/MCRDIMM，支持速率达 DDR5-8800
Gen1.0 DDR5 MDB 芯片	DDR5 MRDIMM/MCRDIMM，支持速率达 DDR5-8800
Gen2.0 DDR5 MRCD 芯片	DDR5 MRDIMM，支持速率达 DDR5-12800
Gen2.0 DDR5 MDB 芯片	DDR5 MRDIMM，支持速率达 DDR5-12800

从下游应用来看，预计 MRDIMM 将在云计算、AI 等对内存带宽敏感的应用领域有较大的需求。随着 MRDIMM 未来渗透率的提升，MRCD/MDB（尤其是 MDB）芯片的需求也将大幅增长。

• CKD 芯片

在 DDR4 世代及 DDR5 世代初期，时钟驱动功能集成在 RCD 芯片中，用于服务器内存模组，尚未在 PC 端内存模组（如台式机和笔记本电脑）部署。随着 DDR5 传输速率持续提升，时钟信号频率越来越高，信号完整性问题愈发显著。根据 JEDEC 定义，当 DDR5 数据速率达到 6400MT/s 及以上时，PC 端内存模组需引入专用的时钟驱动器（CKD，即“Clock Driver”）芯片，对时钟信号进行缓冲和重新驱动，以满足高速时钟信号的完整性和可靠性要求。

我们的 DDR5 第一子代 CKD 芯片最高支持 7200MT/s 速率，旨在提高 PC 端内存模组的数据访问速度和稳定性，以匹配不断增长的 CPU 运行速度和性能需求。该芯片符合最新的 JEDEC 标准，支持双边带总线地址访问及 PC、I3C 接口。通过配置寄存器控制字，该芯片可改变其输出信号特性以匹配不同 DIMM 的网络拓扑，并可通过禁用未使用的输出信号以降低功耗。报告期内，我们推出新一代 CKD 芯片，最高支持 9200MT/s 速率，可有效优化客户端内存子系统性能，为下一代高性能 PC、笔记本电脑及工作站提供关键技术支撑。



图：CKD 芯片及含 CKD 芯片的 CUDIMM 内存模组示意图

公司 DDR5 时钟驱动器芯片及其主要应用情况如下：

DDR5 时钟驱动器芯片	主要应用
Gen1.0 DDR5 CKD 芯片	DDR5 UDIMM/CUDIMM/CAMM，最高支持速率达 DDR5-7200
Gen1.0 Plus DDR5 CKD 芯片	DDR5 UDIMM/CUDIMM/CAMM，最高支持速率达 DDR5-9200

由于 AI PC 需要更高内存带宽以提升整体运算性能，AI PC 渗透率的提升预计将加速 DDR5 的子代迭代，并推动对更高速率 DDR5 内存的需求。因此，AI PC 应用的普及将助推 CKD 芯片的需求提升。

(2) 内存模组配套芯片 (SPD、TS、PMIC)

根据 JEDEC 标准，DDR5 内存模组上除了内存颗粒及内存接口芯片外，还需要三种配套芯片，分别是串行检测集线器 (SPD)、温度传感器 (TS) 以及电源管理芯片 (PMIC)。

我们的内存模组配套芯片产品及其主要应用情况如下：

内存模组配套芯片	主要应用
DDR5 SPD	DDR5 RDIMM、LRDIMM、MRDIMM/MCRDIMM、UDIMM、SODIMM、CUDIMM、CSODIMM、CAMM 和 LPCAMM
DDR5 TS	DDR5 RDIMM、LRDIMM 和 MRDIMM/MCRDIMM
DDR5 PMIC	DDR5 RDIMM 和 LRDIMM

• 串行检测集线器 (SPD)

我们与合作伙伴共同研发了 DDR5 串行检测集线器 (SPD)，芯片内部集成了 8Kbit EEPROM、I²C/I³C 总线集线器 (Hub) 和温度传感器 (TS)，适用于 DDR5 系列内存模组 (如 LRDIMM、RDIMM、MRDIMM、UDIMM、SODIMM、CUDIMM、CSODIMM、CAMM 和 LPCAMM 等)，应用范围包括服务器、台式机及笔记本内存模组。SPD 是 DDR5 内存模组不可或缺的组件，也是内存管理系统的关键组成部分，其包含如下几项功能：

第一，其内置的 SPD EEPROM 是一个非易失性存储器，用于存储内存模组的相关信息以及模组上内存颗粒和相关器件的所有配置参数。根据 JEDEC 的内存规范，每个内存模组都需配置一个 SPD 器件，并按照 JEDEC 规范的数据结构编写 SPD EEPROM 的内容。主板 BIOS 在开机后会读取 SPD 内存储的信息，并根据读取到的信息来配置内存控制器和内存模组。DDR5 SPD 数据可通过 I²C/I³C 总线访问，并可按存储区块 (block) 进行写保护，以满足 DDR5 内存模组的高速率和安全要求。

第二，该芯片还可以作为 I²C/I³C 总线集线器，一端连接系统主控设备（如 CPU 或基板管理控制器（BMC）），另一端连接内存模组上的本地组件，包括 RCD、PMIC 和 TS，是系统主控设备与内存模组上组件之间的通信中心。在 DDR5 规范中，一个 I²C/I³C 总线上最多可连接 8 个集线器（8 个内存模组），每个集线器和该集线器管理下的每个内存模组上的本地组件都被指定了一个特定的地址代码，支持唯一地址固定寻址。

第三，该芯片还内置了温度传感器（TS），可连续监测 SPD 所在位置的温度。主控设备可通过 I²C/I³C 总线从 SPD 中的相关寄存器读取传感器检测到的温度，以便于进行内存模组的温度管理，提高系统工作的稳定性。

• 温度传感器（TS）

我们与合作伙伴共同研发了 DDR5 高精度温度传感器（TS）芯片，该芯片符合 JEDEC 规范，支持 I²C 和 I³C 串行总线，适用于 DDR5 服务器内存模组（如 RDIMM、LRDIMM 和 MRDIMM）。TS 作为 SPD 芯片的从设备，可以工作在时钟频率分别高达 1MHz I²C 和 12.5MHz I³C 总线上；CPU 可经由 SPD 芯片与之进行通讯，从而实现对内存模组的温度管理。TS 是 DDR5 服务器内存模组上重要组件，通常一条内存模组配置 2 颗 TS。

• 电源管理芯片（PMIC）

我们的 DDR5 电源管理芯片（PMIC）符合 JEDEC 规范，其作用主要是为内存模组上的其他芯片（如 DRAM、RCD、DB、SPD 和 TS 等）提供电源支持，CPU 可经由 SPD 芯片与之进行通讯，从而实现电源管理。

我们的 DDR5 SPD、TS、PMIC 芯片在内存模组中的位置示意图如下：



2. PCIe/CXL 互连芯片

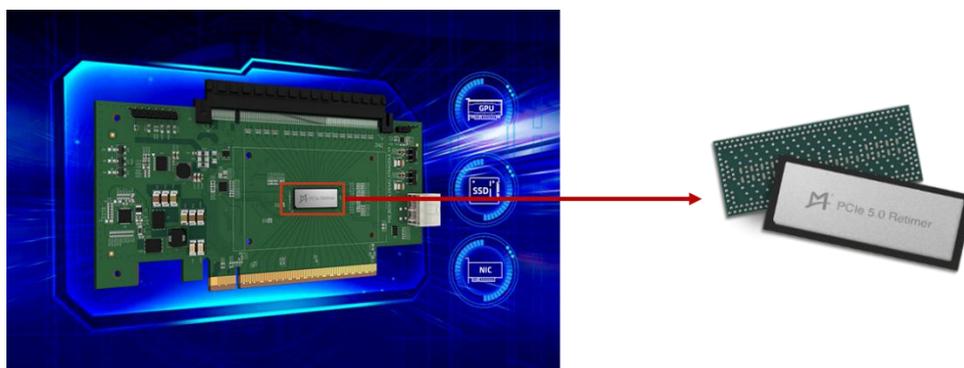
(1) PCIe Retimer 芯片

PCIe Retimer 芯片是适用于 PCIe 高速数据传输协议的超高速时序整合芯片。近年来,随着 PCIe 协议从 3.0 (8 GT/s) 发展至 4.0 (16 GT/s)、5.0 (32 GT/s), 并逐步迈向 6.0 (64 GT/s) 和 7.0 (128 GT/s), 数据传输速率的不断翻倍带来了显著的信号衰减和参考时钟时序重整问题, 这些问题极大地限制了 PCIe 协议在下一代计算平台的应用范围, 促使行业加大对高速电路与系统互连设计的优化需求, 同时也推动了在超高速传输环境下保持信号完整性的研发工作。

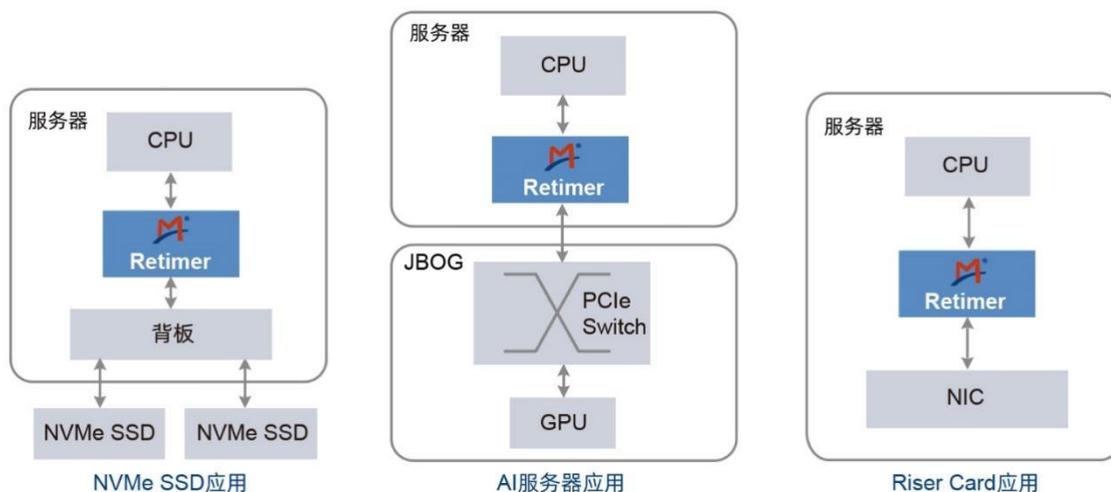
为了补偿高速信号的损耗、提升信号质量, 超高速时序整合芯片 (Retimer) 应用而生。目前, PCIe Retimer 芯片已成为高速电路中不可或缺的重要器件, 尤其在数据中心的数据高速、远距离传输场景中, 可有效解决信号时序不齐、损耗严重、完整性差等问题。

PCIe Retimer 芯片采用先进的信号调理技术, 能够补偿信道损耗并消除各种抖动源的影响, 从而提升信号完整性, 增加高速信号的有效传输距离, 为服务器、存储设备及硬件加速器等应用场景提供可扩展的高性能 PCIe 互连解决方案。我们量产的 PCIe Retimer 产品组合包括 PCIe 4.0 Retimer 及 PCIe 5.0/CXL 2.0 Retimer。其中, PCIe 4.0 Retimer 芯片符合 PCIe 4.0 基本规范, 支持 16 GT/s 的传输速率, 可补偿高达 28 dB 的信道损耗; PCIe 5.0/CXL 2.0 Retimer 符合 PCIe 5.0 和 CXL 2.0 基本规范, 支持 32 GT/s 的传输速率, 可补偿高达 36 dB 的信道损耗, 支持业界主流封装, 其功耗、传输延时等关键性能指标达到国际先进水平, 并已与 CPU、PCIe 交换芯片、固态硬盘、GPU 及网卡等进行了广泛的互操作测试。报告期内, 我们推出了 PCIe 6.x/CXL 3.x Retimer 芯片, 支持 64 GT/s 的传输速率, 采用 PAM4 SerDes 技术, 支持高达 43 dB 的链路预算, 可用于通用及 AI 服务器、有源线缆 (AEC) 和存储系统等典型应用场景。

我们的 PCIe Retimer 芯片及其对应板卡的示意图如下:



PCIe Retimer 芯片的典型应用场景图示如下：



我们的 PCIe Retimer 芯片及其主要应用情况如下：

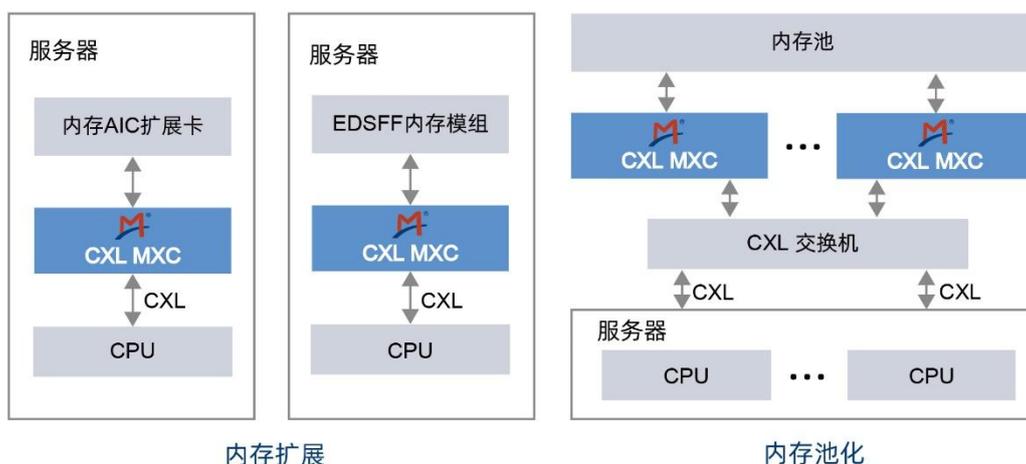
PCIe Retimer 芯片	主要应用场景
8 通道 PCIe 4.0 Retimer	服务器、存储设备和硬件加速器
16 通道 PCIe 5.0/CXL 2.0 Retimer	服务器、存储设备和硬件加速器
16 通道 PCIe 6.x/CXL 3.x Retimer	服务器、存储设备和硬件加速器

在人工智能时代，AI 服务器需求迅猛增长，PCIe Retimer 芯片的重要性日益突出。以配置 8 块 GPU 的典型 AI 服务器为例，通常需要 8 至 16 颗 PCIe Retimer 芯片；部分国产 AI 服务器为满足扩展的需求，配置了 24 颗 PCIe Retimer 芯片。随着 AI 服务器需求量持续攀升，以及 PCIe 协议传输速率不断升级，PCIe Retimer 芯片的市场空间也将进一步扩大。

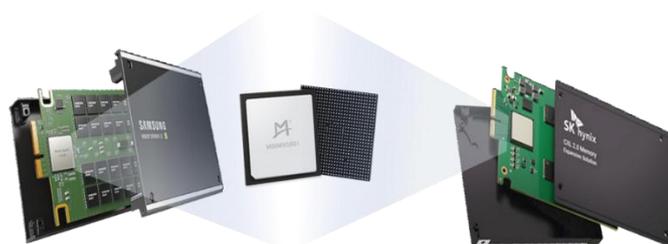
(2) CXL MXC 芯片

MXC 芯片是一款 CXL 内存扩展控制器芯片，属于 CXL 协议所定义的第三种设备类型。该芯片可为 CPU 及基于 CXL 协议的设备提供高带宽、低延迟的高速互连解决方案，实现 CPU 与各 CXL 设备间的内存共享，在大幅提升系统性能的同时，显著降低软件堆栈复杂性和数据中心总体拥有成本（TCO）。

MXC 芯片主要应用于内存扩展及内存池化领域，为内存 AIC 扩展卡、背板及 EDSFF 内存模组而设计，可大幅扩展内存容量和带宽，满足云计算、人工智能等数据密集型应用日益增长的需求，典型应用场景如下：



MXC 芯片目前的产品应用形态主要有两种：EDSFF 模组、AIC(Add In Card)连接标准 DDR5/4 内存模组。



产品应用形态一：EDSFF 模组



产品应用形态二：AIC (Add In Card) 连接标准 DDR5/4 内存模组

2022 年 5 月，我们发布了全球首款 CXL MXC 芯片，并支持三星电子、SK 海力士等内存厂商推出相关 CXL 内存产品，加速下一代存储器解决方案的商用化进程。目前，我们的 MXC 芯片已顺利通过 CXL 联盟的数十项严苛测试，列入 CXL 1.1 和 CXL 2.0 的合规供应商清单，保持在该领域的领先地位。报告期内，我们推出了 CXL 3.1 MXC 芯片，采用自研的 PCIe® 6.2 物理层接口，支持最高 64 GT/s 的传输速率 (x8 通道)，内置双通道 DDR5 内存控制器，支持速率高达 8000 MT/s。

我们与 CPU/GPU 厂商、DRAM 内存厂商、云服务提供商（CSP）、服务器 OEM/ODM 厂商等生态伙伴共同合作，以推动 CXL 技术获得更广泛的应用。

人工智能、云计算的快速发展，对突破内存瓶颈提出了迫切需求，推动业界加快部署内存扩展、内存池化等 CXL 技术的典型应用。在人工智能领域，CXL 技术通过支持 GPU 和 FPGA 等加速器与 CPU 的高效协作，可显著提升 AI 训练和推理效率，并提供低延迟、高带宽的数据传输；同时，CXL 技术支持内存扩展和内存共享，为 AI 应用提供更大容量、更灵活调配的内存资源。因此，CXL 内存将成为人工智能时代最具前景的内存解决方案之一。

3. 时钟芯片

时钟芯片是为电子系统提供其必要的时钟脉冲的芯片。在数字系统中，时钟脉冲是集成电路运转的节拍器，在电子系统中扮演着“心脏”的重要角色。时钟芯片为不同的芯片和功能模块提供统一的时序基准，确保系统各部件的协调、稳定运行。对于数据处理速率与准确度需求较高的应用场景，时钟系统通常以独立芯片或模块的形式存在。时钟芯片主要包括时钟发生器芯片、时钟缓冲芯片、去抖时钟芯片、振荡器及实时时钟芯片（RTC）等。

我们推出了时钟发生器芯片、时钟缓冲芯片和展频振荡器（即支持展频功能的差分振荡器）。其中时钟发生器产品支持最高 4 路独立差分输出，提供高精度时钟源；时钟缓冲器具备 4 至 10 路可扩展输出，实现信号无损分配；展频振荡器在提供高精度时钟源的同时，可通过展频功能有效抑制电磁干扰（EMI），提升系统稳定性。我们的时钟芯片采用先进的数模混合架构，实现业界领先的超低输出相位噪声，每个输出通道均支持独立配置 I/O 类型、驱动能力、电压值、输出频率及展频参数，可精准匹配不同接收端的需求，显著提升信号完整性，同时降低系统功耗与设计复杂度。

随着 AI 算力的迅猛增长、5G 通信的持续升级及工业自动化的不断深化，市场对时钟信号的精度与稳定性要求日益严格。我们的时钟芯片产品凭借高可靠性、低抖动和广泛适配能力，已成功通过多家头部客户的测试验证，未来将广泛应用于 AI 服务器与数据中心、通信基础设施、工业控制设备、消费电子及汽车电子等领域。



图：澜起科技时钟芯片示意图

➤ 津逮®产品线

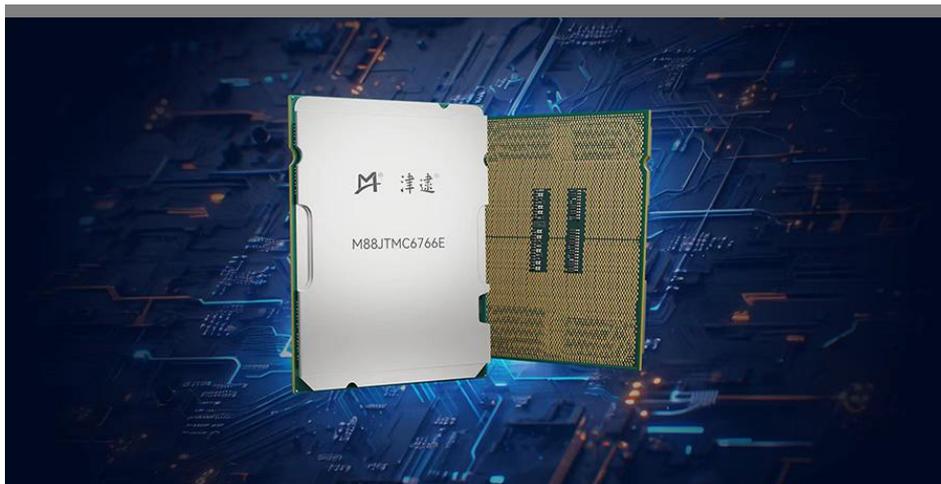
我们的津逮®产品线主要包括津逮®CPU 及数据保护和可信计算加速芯片等。该产品线具备芯片级实时安全监控功能，可在信息安全领域发挥重要作用，为云计算数据中心提供更为安全、可靠的运算平台。此外，该产品线还融合了先进的异构计算与互联技术，可为大数据及云计算时代的各种应用提供强大的综合数据处理及计算力支撑。

1. 津逮®CPU

津逮®CPU 是一系列具有预检测、动态安全监控功能的 x86 架构处理器，适用于津逮®或其他通用的服务器平台。我们先后推出了第一代至第六代津逮®CPU，以更好满足用户对安全可靠算力日益提升的需求。

2019 年 5 月，公司发布第一代津逮®CPU；2020 年 8 月，公司发布第二代津逮®CPU；2021 年 4 月，公司发布第三代津逮®CPU。2022 年 10 月，公司第三代津逮®CPU 系列产品通过了 VMware 公司的产品兼容性认证，达到 VMware ESXi 7.0 U3 虚拟化平台的通用兼容性、性能、可靠性要求，满足用户的关键应用需求。2023 年 1 月 12 日，公司发布第四代津逮®CPU。2023 年 12 月 18 日，公司发布第五代津逮®CPU。2024 年 6 月，公司发布全新第六代津逮®能效核 CPU。

2025 年 8 月，我们发布了第六代津逮®性能核 CPU，单颗 CPU 最高支持 86 个高性能核心和 172 个线程，最大三级缓存容量达 336MB，内存子系统采用 8 通道 DDR5 架构，最高支持 6400MT/s 的 RDIMM 或 8000MT/s 的 MRDIMM，显著提升内存带宽与扩展能力，在 I/O 方面，提供 88 条 PCIe® 5.0 通道，并兼容 CXL® 2.0 协议，为 GPU、FPGA 等加速器提供卓越的连接带宽。



图：第六代津逮®能效核 CPU

2. 数据保护和可信计算加速芯片

我们的数据保护和可信计算加速芯片采用公司自主创新的 Mont-TSSE®可信安全系统扩展架构和技术，将硬件级数据加解密和平台可信度量两大核心功能融合于单一芯片之上。芯片内部集成了高速加解密、安全 SoC 和硬件信任根（HRoT）三个子系统。

该芯片硬件支持 SM2/3/4、SHA-256/384/512、AES、RSA、ECC 等商密算法和国际主流加解密算法加速，可广泛应用于对数据保密性、完整性要求极高的场景，如 AI 训练和推理、分布式数据存储、零信任架构等。芯片内置多个真随机数发生器(TRNG)，搭配 PCIe 5.0 ×8 高速接口，可提供高达 160Gbps 的吞吐量，多颗芯片集成可实现加密处理能力倍增，从而为数据中心提供高性能加解密算力支持，助力商密算法在数据中心落地应用。

该芯片广泛兼容多项可信计算标准，具备出色的泛在可信优势。芯片符合 TPM、TCM 和 TPCM 等可信计算标准，遵从商密 GM/T 0008-2012、GM/T 0012-2020、GM/T 0028-2014 等多项设计、测试、接口标准，并兼顾 FIPS-140 设计要求和 NIST SP 800-193 固件安全标准，支持 MCTP/SPDM 等协议。芯片可作为硬件信任根(HRoT)使用，满足可信平台 3.0 规范的需求，保障服务器、台式机、嵌入式终端、加速卡（AI 卡）等各类设备启动运行期间的平台安全。

该芯片可用于解决数据中心等高并发数据加解密运算的需求，同时因为其具有低功耗特点，也适用于端侧、边缘侧、嵌入式系统中对数据和平台安全有需求的场景。



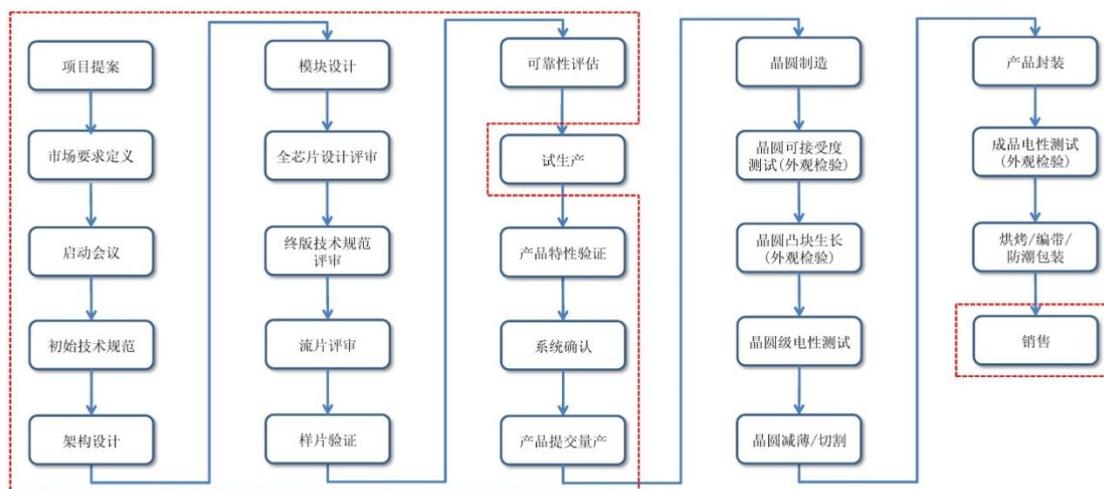
图：澜起科技数据保护和可信计算加速芯片

津逮®产品主要针对中国本土市场，截至目前，已有多家服务器厂商采用津逮®产品，开发出了系列高性能且具有独特安全功能的服务器机型。这些机型已应用到政务、交通等领域及高科技企业中，为用户实现了计算资源池的无缝升级和扩容，在保障强劲运算性能的同时，更为用户的数据、信息安全保驾护航。

2.2 主要经营模式

我们是一家集成电路设计企业，自成立以来公司经营模式均为行业里的 Fabless 模式，该模式下，我们专注于从事产业链中的集成电路设计和营销环节，其余环节委托给晶圆制造企业、封装和测试企业代工完成，由公司取得测试后芯片成品销售给客户。

在 Fabless 模式下，产品设计与研发环节属于我们经营的核心，由多个部门参与执行。芯片的生产制造、封装测试则通过委外方式完成，因此公司需要向晶圆制造厂采购晶圆，向封装测试厂采购封装、测试服务。我们产品的业务流程示意图如下：



注：红色框线标注为公司自主完成，其余由委外厂商完成。

上述流程图中项目提案、市场要求定义、启动会议、初始技术规范、架构设计、模块设计、全芯片设计评审、终版技术规范审议、流片评审、样片验证、可靠性评估、产品特性验证、系统确认、产品提交量产、销售等环节主要由公司完成，其余环节主要由委外厂商完成。

2.3 所处行业情况

(1). 行业的发展阶段、基本特点、主要技术门槛

我们是一家集成电路设计企业，集成电路行业作为全球信息产业的基础，是世界电子信息技术创新的基石。集成电路行业派生出诸如 PC、互联网、智能手机、云计算、大数据、人工智能等诸多具有划时代意义的创新应用，成为现代日常生活中必不可少的组成部分。移动互联时代后，云计算、AI 计算、智能汽车等应用领域的快速发展和技术迭代，正推动集成电路产业进入新的成长周期。

我们的内存接口及模组配套芯片、PCIe Retimer 芯片、MXC 芯片、CKD 芯片等属于高速互连芯片领域。高速互连芯片是支撑数据中心、服务器及计算机实现高速数据交互的必备芯片，主要解决智能算力系统持续升级背景下各类数据传输的瓶颈。高速互连芯片适配多种标准化通信协议，通过信号处理、架构优化等方式，保障数据在各系统间高效、可靠传输。

按技术类别区分，高速互连芯片主要分为三大类：内存互连芯片、PCIe/CXL 互连芯片和以太网及光互连芯片等。其中，内存互连芯片包括内存接口及模组配套芯片，主要用于提升内存数据访问的速度及可靠性；PCIe/CXL 互连芯片包括 PCIe Retimer、PCIe Switch、CXL MXC、CXL Switch 等芯片，主要用于数据中心和服务器单机多卡连接、内存池化、内存扩展等；以太网及光互连芯片包括 Ethernet Retimer/Switch、oDSP、NIC、硅光芯片等，主要用于数据中心集群组网等长距离、高带宽的互连方案。

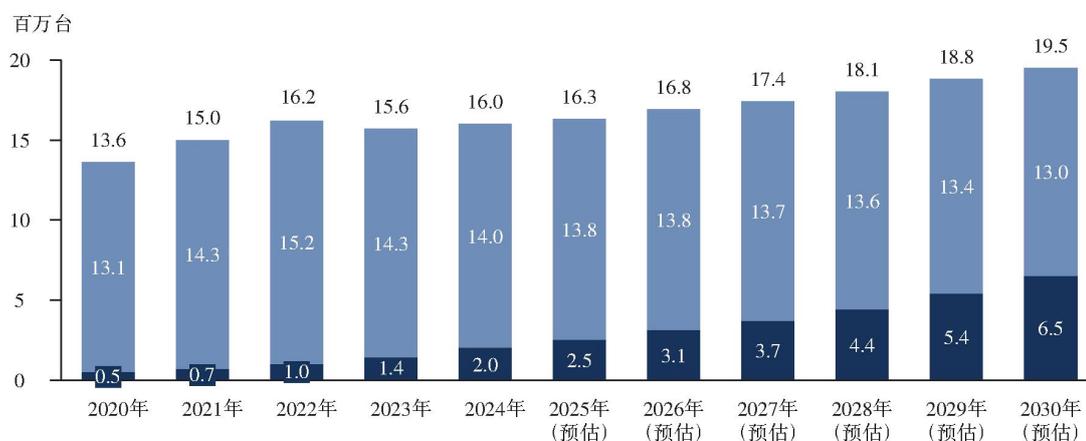
(1) 全球服务器及 PC 市场行业情况

高速互连芯片以服务器领域为主要应用场景，在 PC 领域亦有部份应用。

AI 服务器对高速互连的需求与日俱增，成为驱动高速互连芯片市场扩容的关键动力。根据行业相关数据，全球 AI 服务器出货量从 2020 年的 50 万台激增至 2024 年的 200 万台，年均复合增长率为 45.2%；展望未来，其出货量将进一步从 2025 年的 250 万台增长至 2030 年的 650 万台，年均复合增长率为 21.2%。AI 服务器需求的增长主要由大模型训练、推理等需求驱动，多芯片集群架构需高带宽、低延时互连支撑海量数据交互，直接拉动 PCIe/CXL 互连芯片、以太网及光互连芯片的需求，同时推动对更大容量及更高带宽系统主内存的需求。随着 AI 服务器向“多卡互连

+高速协议”架构升级，支持 PCIe 6.0、CXL 3.0 等新一代标准的高速互连芯片需求将持续攀升。通用服务器市场需求较为平稳，但同时也需要高速互连芯片来提升数据访问稳定性，其增速虽不及 AI 服务器，仍是相关市场的重要支撑。

复合年增长率	2020年至2024年	2025年至2030年（预估）
AI服务器	45.2%	21.2%
通用服务器	1.6%	-1.2%
总计	4.2%	3.6%



图：全球服务器出货量，按服务器类型（AI、通用）拆分

资料来源：弗若斯特沙利文¹

全球 PC 出货量总体呈平稳增长趋势，2024 年出货量为 2.59 亿台，未来预计出货量将从 2025 年的 2.63 亿台增长至 2030 年的 2.98 亿台，年均复合增长率 2.5%。

(2) 内存模组行业情况

内存模组是计算机架构的核心组成部分之一，主要作为 CPU 与硬盘的数据中转站，用于临时存储数据，其存储和读取速度远高于硬盘。根据应用领域不同，内存模组可分为以下几类：①服务器内存模组，目前主要包括 RDIMM 和 LRDIMM 等类型，随着服务器数据存储和处理负载的

¹ 本年度报告引用了来自弗若斯特沙利文的多项行业数据，均来自于弗若斯特沙利文为公司发行 H 股股票并在香港联交所上市的招股章程编制的独立市场研究报告，相关详情请参阅公司于香港联交所网站披露的招股章程（链接：<https://www1.hkexnews.hk/listedco/listconews/sehk/2026/0130/2026013000007.pdf>）。相关数据仅作为行业背景参考，既不代表公司的业务预测，也不构成对业绩达成或投资回报的任何明示或暗示保证，请投资者注意识别相关风险并理性决策。

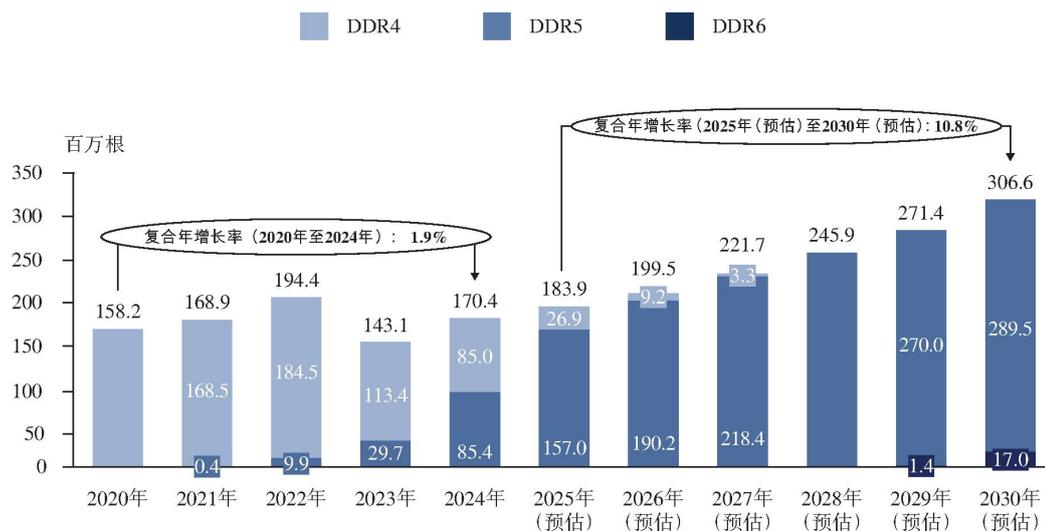
不断增加，对服务器内存模块的稳定性、纠错能力以及低功耗的要求也日益提高；②普通台式机、笔记本内存模块，主要类型为 UDIMM、SODIMM 等。全球 DRAM 市场中，90%左右的市场份额由三星电子、海力士及美光科技占据，这三家公司也是公司内存接口芯片及内存模块配套芯片的主要下游客户。

内存模块的发展遵循清晰的技术升级路径，相关标准由 JEDEC 组织定义，涵盖内存模块的组成构件、性能指标和具体参数等。近年来，服务器内存模块行业正经历从 DDR4 世代向 DDR5 世代的切换，目前 DDR5 第一、第二、第三子代内存产品已实现量产，JEDEC 已完成 DDR5 第四、第五子代标准制定，并正在推进第六子代产品标准的制定。为满足传输速率提升及新的产业需求，JEDEC 还陆续定义了多种新型内存模块架构，例如用于服务器的 MRDIMM，以及用于台式机/笔记本电脑的 CUDIMM、CSODIMM、CAMP、LPCAMP 等。目前，JEDEC 正在开展对 DDR6 相关标准的讨论。

内存模块与 CPU 是计算机的两个核心部件，是计算机生态系统的重要组成部分。随着支持更高速率 DDR5 的 CPU 的持续迭代，DDR5 内存模块的渗透率将提升，同时其子代的更新迭代也将持续推进。

根据弗若斯特沙利文的数据，2020 年至 2024 年，服务器内存模块出货量从 1.58 亿根增长至 1.7 亿根；到 2030 年预计将攀升至 3.07 亿根，2025 年至 2030 年间的年均复合增长率约为 10.8%，呈现良好增长态势。从市场结构上看，服务器内存模块正加速向 DDR5 世代迈进：DDR5 从 2021 年开始在下游应用，到 2024 年渗透率已超过 50%，预计在 2025 年将超过 85%。同时，DDR6 内存模块有望在 2029 年前后实现商业化应用，为市场注入新的增长动力。

驱动服务器内存模块需求量增长的核心因素，在于全球服务器出货量的增长，以及单台服务器内存模块配置数量的增加。AI 服务器的崛起，进一步推动了市场需求。由于 AI 服务器对内存容量的需求显著增加，须配置更多的内存模块，通常一台典型 AI 服务器配置的内存模块数量是通用服务器的 2 倍左右，因此，随着 AI 技术在各行业的广泛应用，AI 服务器渗透率持续提升，将直接推动服务器内存模块整体需求增速高于服务器增速，进而为内存互连芯片市场带来广阔的发展空间。



图：全球服务器内存模组出货量

资料来源：弗若斯特沙利文

(3) 内存互连芯片行业情况

内存互连芯片包括内存接口芯片、内存模组配套芯片等。内存接口芯片是服务器内存模组的核心逻辑器件，其主要作用是提升内存数据访问的速度及稳定性，满足服务器 CPU 对内存模组日益增长的高性能及大容量需求。

内存接口芯片的发展演变情况如下：

内存接口芯片世代	技术特点	主要厂商	研发时间跨度
DDR2	最低可支持 1.5V 工作电压	TI (德州仪器)、英特尔、西门子、Inphi、澜起科技、IDT 等	2004 年-2008 年
DDR3	最低可支持 1.25V 工作电压，最高可支持 1866MT/s 的运行速率	Inphi、IDT、澜起科技、Rambus、TI (德州仪器) 等	2008 年-2014 年
DDR4	最低可支持 1.2V 工作电压，最高可支持 3200MT/s 的运行速率	澜起科技、IDT、Rambus	2013 年-2017 年
DDR5	最低可支持 1.1V 工作电压，RDIMM 预计可实现 9200MT/s 的运行速率；MRDIMM 预计可实现 16000MT/s 的运行速率	澜起科技、瑞萨电子 (原 IDT)、Rambus	2017 年至今

从 2016 年开始，DDR4 技术进入成熟期并成为内存市场的主流技术。为了实现更高的传输速率和支持更大的内存容量，JEDEC 进一步完善了 DDR4 内存接口芯片的技术规格，增加了多种功能以支持更高速率和更大容量的内存。在 DDR4 世代一共有四个子代产品，每一子代内存接口芯片的最高传输速率不断提升，其中最后一个子代产品支持的最高传输速率达到 3200MT/s。随着 DDR5 内存技术的成熟和商用，DDR5 已经取代 DDR4 成为市场主流产品。相比 DDR4 最后一个子代产品，DDR5 内存接口芯片采用了更低的工作电压（1.1V），并在传输效率和可靠性上进一步提升。根据 JEDEC 公布的信息，DDR5 内存接口芯片已经规划了六个子代，前五个子代产品支持速率分别是 4800MT/s、5600MT/s、6400MT/s、7200MT/s、8000MT/s，最后一个子代支持速率预计将达到 9200MT/s。通过持续的技术创新，以实现更高的传输速率和支持更大的内存容量，将是内存接口芯片行业未来发展的趋势和动力。

在 DDR5 世代，根据 JEDEC 定义，服务器内存模组除了需要内存接口芯片之外，还需要配置三种配套芯片：一颗 SPD 芯片、一颗 PMIC 芯片和两颗 TS 芯片；普通台式机和笔记本电脑的内存模组（UDIMM、SODIMM）则需要配置两种配套芯片：一颗 SPD 芯片和一颗 PMIC 芯片。

随着技术的发展，内存互连领域衍生出新的接口芯片种类，包括用于服务器新型高带宽内存模组 MRDIMM 的 MRCD/MDB 芯片，以及用于 PC 端内存模组的 CKD 芯片：

在服务器端，随着人工智能和大数据分析等应用快速发展，处理器内核数量日益增多，对内存带宽的需求急剧增长，JEDEC 制定了新型高带宽内存模组多路复用双列直插内存模组 MRDIMM (Multiplexed Rank DIMM) 的相关技术标准。根据 JEDEC 公布的信息，DDR5 MRDIMM 通过创新设计提高了数据传输速率和整体系统性能。多路复用允许将多个数据信号组合并通过单个通道传输，从而在不增加额外物理连接的情况下提升带宽，实现无缝带宽升级，使数据速率超过同期的 DDR5 RDIMM。其特性包括：①平台与 RDIMM 兼容，提供灵活的用户带宽配置；②采用标准的 DDR5 DIMM 组件(包括 DRAM、外形尺寸、引脚分布、SPD、PMIC 和 TS)，便于推广；③利用 RCD/DB 逻辑处理能力实现高效的 I/O 扩展；④借助现有的 LRDIMM 生态系统进行设计和测试。MRDIMM 未来将持续迭代升级，第一子代 MRDIMM 支持 8800MT/s 速率，第二子代 MRDIMM 支持 12800MT/s 速率，正在定义的第三子代 MRDIMM 支持的速率预计实现 16000MT/s。MRDIMM 需要搭配 1 颗 MRCD 和 10 颗 MDB 芯片，其设计复杂度和速率要求高于普通的 RCD 和 DB 芯片。

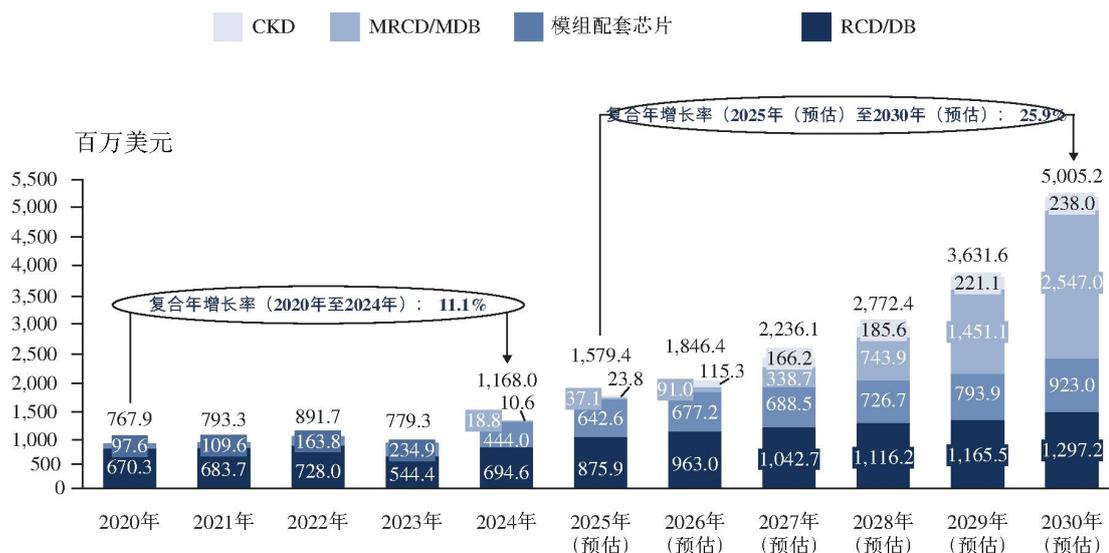
在 PC 端，随着 DDR5 传输速率持续提升，到 DDR5 中期，原本无需信号缓冲的 UDIMM、SODIMM（主要用于台式机和笔记本电脑），将需要配备一颗 CKD 芯片，对内存模组的时钟信号进行缓冲和重新驱动，从而提高时钟信号的完整性和可靠性。JEDEC 已制定了 CUDIMM 和 CSODIMM 内存模组相关标准，包括 CKD 芯片标准，将应用于支持 6400MT/s 及以上内存速率的台式机和笔记本电脑。

内存模组		RCD	DB	SPD	TS	PMIC	MRCD	MDB	CKD
服务器	RDIMM (DDR4)	1	-	1	-	-	-	-	-
	LRDIMM (DDR4)	1	9	1	-	-	-	-	-
	RDIMM (DDR5)	1	-	1	2	1	-	-	-
	LRDIMM (DDR5)	1	10	1	2	1	-	-	-
	MRDIMM (DDR5)	-	-	1	2	1	1	10	-
PC端	UDIMM/SODIMM (DDR4)	-	-	1	-	-	-	-	-
	UDIMM/SODIMM (DDR5)	-	-	1	-	1	-	-	-
	CUDIMM/CSODIMM/CAMM (DDR5)	-	-	1	-	1	-	-	1
	LPCAMM (DDR5)	-	-	1	-	1	-	-	-

图：内存互连芯片在不同类型的内存模组中的应用及配比数量

附注：(1)UDIMM(Unbuffered Dual In-line Memory Module):无缓冲双列直插内存模块；(2)CUDIMM(Clocked Unbuffered Dual In-line Memory Module):时钟无缓冲双列直插内存模块；(3)SODIMM(Small Outline Dual In-line Memory Module):小型双列直插内存模块；(4)CSODIMM(Clocked Small Outline Dual In-line Memory Module):时钟小型双列直插内存模块；(5)CAMM(Compression Attached Memory Module):压缩附加内存模块；(6)LPCAMM(Low Power Compression Attached Memory Module):低功耗压缩附加内存模块。

根据弗若斯特沙利文的数据，内存互连芯片市场规模从 2020 年的 7.68 亿美元增长至 2024 年的 11.68 亿美元，预计未来将进一步从 2025 年的 15.79 亿美元增长至 2030 年的 50.05 亿美元，期间年均复合增长率高达 25.9%。2024 年，中国占全球市场 20% 的份额，预计到 2030 年将占约 30%。



图：全球内存互连芯片市场规模

资料来源：弗若斯特沙利文

(4) PCIe 互连行业情况

PCIe 协议是一种高速串行计算机扩展总线标准，自 2003 年诞生以来，其互连技术在近几年发展迅猛，传输速率基本每 3-4 年翻倍增长，并保持良好的向后兼容特性。从 PCIe 4.0 到 PCIe 5.0，传输速率已从 16GT/s 提升至 32GT/s；到 PCIe 6.0 和 PCIe 7.0，传输速率将进一步提升至 64GT/s 和 128GT/s。凭借强大的生态系统，平台厂商、芯片厂商、终端设备厂商和测试设备厂商深度合作，PCIe 已成为主流互连接口，全面覆盖了 PC 机、服务器、存储系统等各种计算平台，广泛服务于云计算、企业级计算、人工智能和物联网等应用场景。

① PCIe Retimer 芯片

PCIe Retimer 芯片是在 PCIe 协议升级迭代背景下应运而生的，它主要解决数据中心和服务器在通过 PCIe 协议进行高速、远距离传输时，面临的信号时序不齐、损耗大、完整性差等问题。

随着应用的快速发展，PCIe 协议持续迭代更新，传输速率不断翻倍，但服务器的物理尺寸受限于工业标准，变化不大。这导致整个链路的插损预算从 PCIe 3.0 时代的 22dB 增加到 PCIe 4.0 时代的 28dB，并进一步增长到 PCIe 5.0 时代的 36dB。业界亟待解决 PCIe 信号链路的插损问题，以提高信号传输距离。

一种解决方案是选用低损 PCB，但其成本高昂且难以有效覆盖多连接器应用场景；另一种解决方案是引入链路扩展器件，如 PCIe Retimer 芯片，通过采用模拟信号和数字信号调理技术及重

定时技术，Retimer 芯片能够补偿信道损耗并消除抖动影响，从而提升 PCIe 信号的完整性，增加高速信号的有效传输距离。相较于其他技术解决方案，Retimer 芯片在性能、标准化和生态系统支持等方面具有明显优势，可用于 CPU 与高速外设（如 GPU、AI 芯片、SSD 卡及网卡等）的互连，适应多连接器应用场景，未来还可以根据系统配置灵活切换至 PCIe 或 CXL 模式，更受用户青睐。

因此，随着传输速率从 PCIe 4.0 的 16GT/s 翻倍至 PCIe 5.0 的 32GT/s，Retimer 芯片的技术优势愈发显著。根据行业发展趋势，到 PCIe 5.0 时代，PCIe Retimer 芯片已成为行业主流解决方案。近两年，随着 AI 服务器需求快速增长，PCIe Retimer 芯片已成为 AI 服务器中的关键部件，其市场规模也随之迅速扩大。

② PCIe Switch 芯片

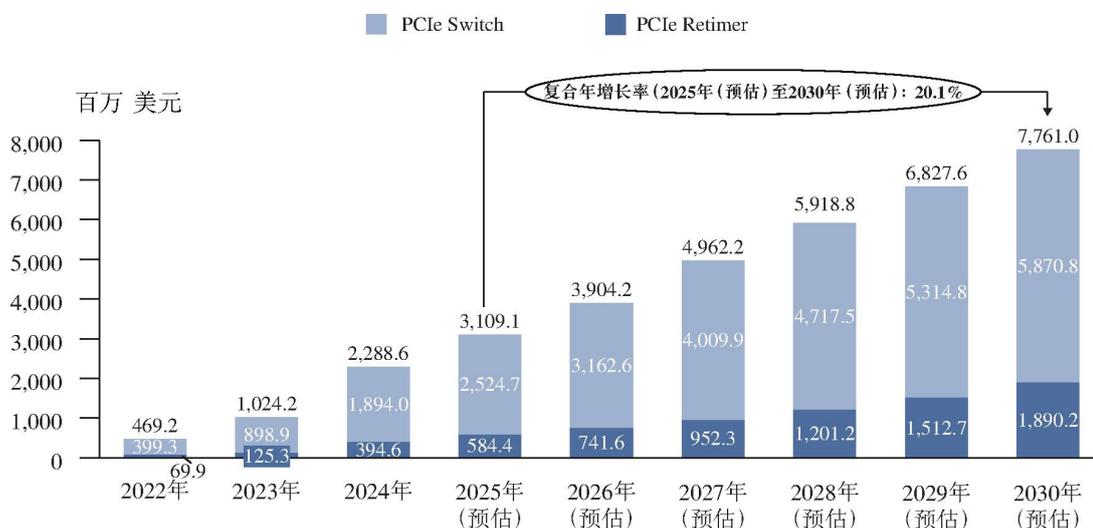
PCIe Switch 芯片是一种用于扩展和连接多个 PCIe 设备的关键组件，可以将有限的 PCIe 通道分配给更多设备，同时优化带宽分配。

PCIe Switch 芯片是用于实现高速、低延迟的设备互连的关键组件，其主要功能为：**a. 扩展接口**：可增加 PCI Express 接口数量，让更多设备通过 PCIe 总线高速通信。如服务器中，当 CPU 的 PCIe 通道不足时，PCIe Switch 芯片可连接多个设备，例如 SSD、网卡、GPU 等；**b. 数据转发**：在点到点（P2P）工作模式下，为连接的多个设备进行数据转发，将多个 PCIe 通道连接到芯片上，实现设备高速连接；**c. 实现分区功能**：相当于以太网 Switch 里的虚拟局域网（Vlan），可将多台机器连接到同一片 PCIe Switch，并进行分区配置，把某些端点设备分配给特定服务器，实现统一管理和灵活分配，避免多个操作系统枚举同一堆 PCIe 总线内的角色时出现访问地址冲突；**d. 支持 NTB（Non-Transparent Bridge）技术**：通过地址翻译实现不同分区或系统中的设备通信。例如传统存储系统中的多个控制器，可利用 NTB 技术通过 PCIe 链路直接通信，实现数据和控制信息的同步。

PCIe Switch 芯片可以突破主机有限 PCIe 接口的制约，实现更多设备的高密度 PCIe 互连，显著提升系统扩展性和资源利用率，在数据中心、云计算、存储系统、网络设备中有广泛的应用，尤其适用于对带宽和延迟敏感的场景。比如在数据中心和云计算中，PCIe Switch 芯片可以连接多块 GPU/AI 加速卡进行并行计算，也可以构建 GPU/AI 加速卡集群进行超大规模计算；在存储系统中，PCIe Switch 芯片可以连接大量 NVMe SSD，构建高速存储池；在网络设备中，PCIe Switch 芯片可以连接多块 100G/400G 网卡，管理高速端口的数据转发。

AI 服务器的快速增长显著拉动了 PCIe Retimer 芯片和 PCIe Switch 芯片的需求。以配置 8 块 GPU 的典型 AI 服务器为例，通常需配备 2 至 4 个 PCIe Switch 实现拓扑扩展，同时需要 8 至 16 个 Retimer，以延长 CPU 与外设间的有效传输距离。目前，根据部分国内 8 卡 GPU 服务器的方案，需要 24 个 Retimer 芯片。因此，PCIe 互连芯片已成为 AI 服务器中不可或缺的核心器件，其需求量与 AI 服务器出货量呈正相关。

根据弗若斯特沙利文的数据，PCIe 互连芯片市场规模从 2022 年的 4.69 亿美元快速增长至 2024 年的 22.89 亿美元。行业预测显示，未来该市场将持续高速增长，预计 2030 年市场规模将达到 77.61 亿美元，2025 至 2030 年间的年复合增长率高达 20.1%。2024 年，中国占全球市场 25% 以上的份额，预计到 2030 年将占 30% 以上。



图：全球 PCIe 互连芯片市场规模

资料来源：弗若斯特沙利文

(5) CXL 互连行业情况

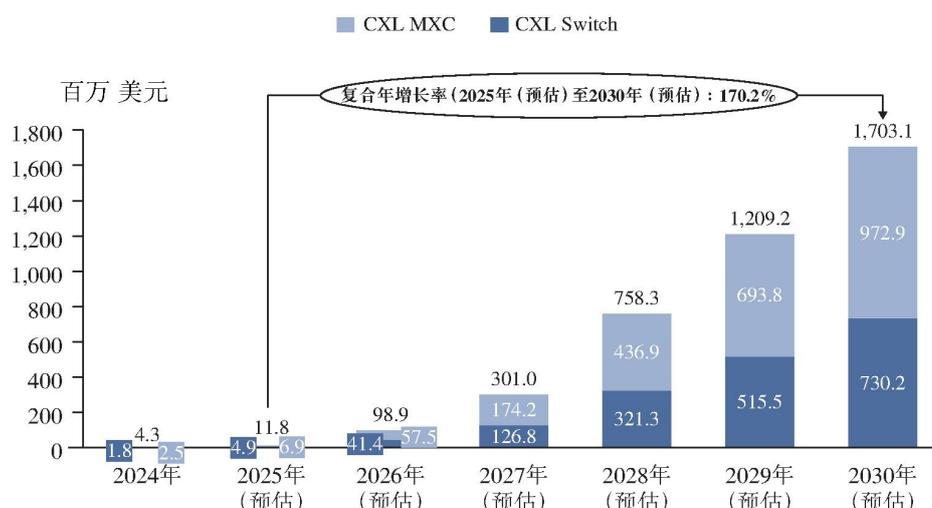
作为一种新兴的高速互连技术，CXL 自推出以来就备受业界关注。随着人工智能、云计算等领域的高速发展，内存扩展、内存池化等 CXL 技术的典型应用正在受到越来越多厂商的积极部署，以打破内存瓶颈。

近年来，CXL 技术在数据中心和人工智能领域展现出巨大的应用潜力。在数据中心领域，CXL 技术通过高带宽、低延迟的特性，将不同的计算和存储资源进行互连，形成庞大的资源池，可以显著提升数据处理和分析效率，满足现代数据中心对大规模数据处理和分析的需求。在人工智能领域，CXL 技术通过支持 GPU 和 FPGA 等加速器与主处理器的高效协作，可显著提升 AI 模型训练和推理的速度，实现低延迟、高速的数据传输，从而大幅提高计算效率；同时 CXL 技术支持内

存扩展和内存共享，为 AI 应用提供更大的内存空间和更灵活的资源分配方式。根据相关服务器厂商测评，CXL 内存池化方案在 AI 推理、向量数据库和内存数据库三个最重要的大内存应用场景中，均有卓越性能表现；CXL 内存池化方案为运行更大参数 AI 模型提供了更高容量和性能的内存支持。

CXL 协会 2024 年发布了 CXL3.2 标准，2025 年又继续推出了 CXL4.0 标准，CXL 技术的相关生态也在不断完善：（I）从主流 CPU 厂商来看，英特尔发布了两款支持 CXL 2.0 协议的 CPU（Granite Rapids 和 Sierra Forest），AMD 发布了支持 CXL 2.0 协议的第五代 EPYC 处理器，上述 CPU 平台能支持更多的 CXL 设备类型，提供更好的安全性和可靠性，适配更多的应用场景；2025 年主流 CPU 厂商也继续推进 CXL3.0 新平台的内部验证，未来几年数据中心支持 CXL 技术的服务器平台比例将进一步提升。（II）从内存模组厂商来看，SK 海力士和三星电子正在积极研发并量产 CXL 兼容的内存模块，如三星电子展示了 CMM-D 2.0 模组，并于联想一起完成了 128GB CMM-D CXL 内存模块的验证，而且计划在 2026 年推出 CMM-D 3.0 模组。（III）从服务器平台来看，CXL Switch 也开始应用于服务器平台，支持 CXL 协议的数据传输，可以实现多个节点间的内存和其他设备资源的共享。未来，越来越多的服务器 CPU 和 GPU 都将支持 CXL 接口，这一趋势将显著推动 CXL 市场的发展，尤其是在数据中心、人工智能和云计算等领域的广泛应用。

根据弗若斯特沙利文的数据，2024 年 CXL 互连芯片市场尚处于商业化初期，市场规模约为 430 万美元，行业预测未来几年该市场将迎来爆发式增长，预计至 2030 年市场规模将达到 17.03 亿美元，2025 至 2030 年期间的年均复合增长率高达 170.2%。2024 年，中国占全球市场 25% 以上的份额，预计到 2030 年将占 30% 以上。



图：全球 CXL 互连芯片市场规模

资料来源：弗若斯特沙利文

（6）时钟芯片行业情况

时钟芯片是为电子系统提供其必要的时钟脉冲的芯片。在数字系统中，时钟脉冲是集成电路运转的节拍器，在电子系统中扮演着“心脏”的重要角色。高频/高性能数字模块的正确运行需要时钟芯片提供精准的时钟脉冲（节拍）来同步运算操作和数据传输交互。时钟脉冲的性能决定了系统是否能运行到目标速度，时钟芯片不达标有可能导致模块或设备无法运作。因此，时钟芯片提供的输出时钟需要具备极高的可靠性、宽广的输出频率范围、优良的抖动特性以及扩频功能。

目前，时钟芯片主要包括时钟发生器、去抖时钟芯片、时钟缓冲芯片和展频振荡器等产品子类。时钟发生器是根据参考时钟来合成多个不同频率时钟的芯片，它是时钟芯片的一个重要类别，是数据中心、工业控制、新能源汽车等领域的基础芯片；去抖时钟芯片是为其他芯片提供低抖动低噪声的参考时钟的芯片；时钟缓冲芯片是用于时钟脉冲复制、格式转换、电平转化等功能的芯片；展频振荡器是基于扩展频谱技术的晶体振荡器，通过调制原始时钟信号的频率分布，将能量分散到更宽的频带内，从而降低电磁干扰（EMI）峰值并提升系统稳定性。

从市场规模来看，时钟芯片是一个相对成熟、空间较大的市场。根据弗若斯特沙利文的数据，全球时钟芯片市场已进入稳定增长阶段，市场规模从 2020 年的 17 亿美元增长至 2024 年的 22 亿美元，期间年均复合增长率为 5.7%。展望未来，随着 AI 服务器、高速通信、智能驾驶与工业边缘计算等对高精度时钟的需求持续增长，时钟芯片在系统架构中的价值量将稳步提升。预计至 2030 年，全球时钟芯片市场规模预计将扩大至 30 亿美元，2025 至 2030 年间年均复合增长率为 5.3%。根据 Market Data Forecast 的数据，2022 年全球时钟芯片的市场规模合计为 20.3 亿美元，预计到 2027 年可达到 30.2 亿美元。

目前，高性能时钟芯片国产化程度较低，主要市场份额被少数几家海外厂商占据，国产替代空间广阔。比如单台服务器内一般需要 10 颗左右的时钟芯片，平均每台中高端仪器仪表使用约 4 颗时钟芯片。

AI 已成为服务器技术升级的核心驱动力：一方面，推动互连标准向 PCIe 5.0 及 112G 切换；另一方面，AEC/AOC 等技术的应用也对时钟芯片性能提出了新要求。这两大趋势，共同构成了对高性能时钟芯片的强劲需求。

(2). 公司所处的行业地位分析及其变化情况

(1) 内存互连芯片

内存接口芯片和内存模组配套芯片是 JEDEC 固态技术协会定义的行业标准产品。我们在该领域深耕二十年，拥有自主知识产权的高速、低功耗技术，可为新一代服务器平台提供符合 JEDEC 标准的高性能内存接口解决方案，是全球可提供从 DDR2 到 DDR5 内存全缓冲/半缓冲完整解决方案的主要供应商之一，产品获得市场和用户的广泛认可。

在产品标准制定方面，我们是全球微电子行业标准制定机构 JEDEC 固态技术协会的董事会成员之一，在 JEDEC 下属的若干个委员会及分会中安排员工担任主席或副主席职位，深度参与 JEDEC 相关产品的标准制定，在该领域拥有重要话语权。我们牵头制定 DDR5 RCD、MDB 及 CKD 芯片的国际标准，并积极参与 DDR5 内存模组配套芯片的标准制定。

在技术实力方面，我们处于国际领先水平。我们发明的 DDR4 全缓冲“1+9”架构被 JEDEC 国际标准采纳，并在 DDR5 世代演化为“1+10”框架，继续作为 LRDIMM 的国际标准，同时衍生出 MRDIMM 国际标准。在 DDR5 世代，我们进一步巩固了技术领先优势。2025 年 1 月，我们推出 DDR5 第二子代 MRCD/MDB 芯片，支持速率为 12800MT/s；2025 年 10 月，我们的 DDR5 第四子代 RCD 芯片成功量产，支持速率为 7200MT/s；2025 年 11 月，我们推出新一代用于客户端的 DDR5 CKD 芯片，支持速率为 9200MT/s。

在市场份额方面，我们在 DDR4 世代逐步确立了行业领先地位，是全球可提供 DDR4 内存接口芯片的三家主要厂商之一，占据全球市场的重要份额。在 DDR5 世代，我们牵头制定相关产品国际标准，并提供完整的内存接口及模组配套芯片解决方案，继续保持行业领先地位。根据弗若斯特沙利文的数据，2024 年内存互连市场整体呈现高度集中的市场格局，前三家企业合计占据 93.4% 的市场份额；其中，我们以 36.8% 的市场份额，排名全球第一。

(2) PCIe Retimer 芯片

PCIe Retimer 芯片是适用于 PCIe 协议的超高速时序整合芯片，其技术实现和协议交互均需符合 PCI-SIG 联盟制定的标准体系。

在 PCIe 4.0 时代，我们是全球量产 PCIe 4.0 Retimer 芯片的三家厂商之一；进入 PCIe5.0 时代，我们成为全球主要供货 PCIe 5.0/CXL 2.0 Retimer 芯片的两家厂商之一。2025 年 1 月，我们推出了 PCIe 6.x/CXL 3.x Retimer 芯片并向客户送样，并于 2026 年 1 月发布 PCIe 6.x/CXL 3.x AEC 解决方案，同时正在积极推进 PCIe 7.0 Retimer 芯片的研发。

作为全球领先的 PCIe Retimer 芯片供应商之一，我们自研的 PCIe SerDes IP 已成功应用于 PCIe 5.0/CXL 2.0 Retimer 和 PCIe 6.x/CXL 3.x Retimer 芯片中。自研 IP 带来了良好的整合性，使公司的产品在信道适应能力、传输时延等关键性能指标上处于行业领先水平，此外，我们的 PCIe Retimer 芯片还提供全方位的遥测功能，能够实现更全面的链路监控和故障诊断，为高可靠性的 AI 集群应用提供了坚实保障。

基于领先的技术实力及优异的产品性能，我们的 PCIe Retimer 芯片从 2024 年开始出货快速增长，呈现良好成长态势。根据弗若斯特沙利文的数据，2024 年全球 PCIe Retimer 芯片市场呈现出极高的市场集中度，前两家企业合计占据 96.9% 的市场份额：其中，我们作为市场的新进入者，以 10.9% 的市场份额，排名全球第二。

(3) CXL MXC 芯片

CXL MXC 芯片是遵循 CXL 行业标准规范的产品，其设计、功能及互操作性均需通过 CXL 联盟的严格认证，属于 CXL 协议所定义的第三种设备类型，主要用于内存扩展和内存池化。

2022 年 5 月，我们全球首发 MXC 芯片，并与多家全球顶级云计算厂商及内存龙头企业开展合作；同年，全球领先内存厂商三星电子及 SK 海力士先后推出其最新的 CXL 内存产品，均采用了我们的 MXC 芯片。2023 年 8 月，我们的 MXC 芯片顺利通过了 CXL 联盟的数十项严苛测试，成为全球首家通过 CXL1.1 测试的内存扩展控制器产品，与国际知名 CPU 和存储器厂商的产品在 CXL 官网并列展示，彰显了我们的技术实力。2025 年 1 月，我们的 MXC 芯片入选 CXL 联盟公布的首批 CXL 2.0 合规供应商清单，同期入选还包括三星电子和 SK 海力士，其受测产品均采用了我们的 MXC 芯片。2025 年 9 月，我们推出基于 CXL[®] 3.1 标准的 MXC 芯片，并已开始向主要客户送样测试。

我们将继续深化与 CPU/GPU 厂商、DRAM 内存厂商、云服务提供商(CSP)、服务器 OEM/ODM 厂商等生态伙伴的交流与合作，紧跟技术前沿，不断推进产品更新迭代，致力于推动 CXL 生态的成熟完善和 CXL 技术的广泛应用，并保持公司在的行业领先地位。

(3). 报告期内新技术、新产业、新业态、新模式的发展情况和未来发展趋势

(1) 报告期内与公司及行业相关的新政策

2025 年 8 月，国务院发布《关于深入实施“人工智能+”行动的意见》，以科技、产业、消费、民生、治理、全球合作等领域为重点，深入实施“人工智能+”行动，涌现一批新基础设施、新技术体系、新产业生态、新就业岗位等，加快培育发展新质生产力。

2025 年 9 月，工业和信息化部、市场监督管理总局发布《电子信息制造业 2025—2026 年稳增长行动方案》，方案明确，电子信息制造业 2025 至 2026 年主要预期目标包括，规模以上计算机、通信和其他电子设备制造业增加值平均增速在 7%左右，到 2026 年，预期实现营收规模和出口比例在 41 个工业大类中保持首位，5 个省份的电子信息制造业营收过万亿，服务器产业规模超过 4000 亿元。

(2) 报告期内行业的新技术及未来发展趋势

➤ 内存互连技术

内存互连技术主要跟随主流 CPU 及内存模组生态系统的发展而演进。报告期内，DDR5 内存模组已取代 DDR4 成为市场主流产品，其内部子代持续迭代升级，同时，行业正在开展对 DDR6 内存互连技术相关标准的讨论和制定。

① 服务器内存互连技术

服务器内存互连技术的演进路径及发展趋势如下：

在传统内存模组 RDIMM 方面，内存互连技术遵循 JEDEC 标准持续演进，各子代产品支持的数据速率在持续提升。例如，DDR5 第一子代内存接口芯片支持速率为 4800MT/s，到了 DDR5 第五子代产品，支持速率提升至 8000MT/s，而 DDR5 第六子代产品将达到 9200MT/s 的速率。

在新型高带宽内存模组 MRDIMM 方面，基于 CPU 多核化的技术演进，以及 AI 和高性能计算应用对内存带宽日益增长的迫切需求，高带宽内存互连技术也在迭代升级，新一子代产品支持的数据速率提升显著。其中，第一子代 MRDIMM 最高支持 8800MT/s 速率，第二子代产品最高支持 12800MT/s 速率，预计第三子代产品支持速率将达到 16000MT/s。MRDIMM 采用 LRDIMM“1+10”的基础架构，需要搭配 1 颗 MRCD 芯片和 10 颗 MDB 芯片，这些新型高带宽内存接口芯片与 CPU 的数据连接仍为单组内存信号，但是通过采用双倍数据传输速率和时分数据复用技术，能够将两个标准速率的内存数据通道合并后进行倍频传输，其与 DRAM 的数据连接则扩展为两组独立内存

信号，可以在标准速率下对 MRDIMM 上面两个内存阵列同时操作，实现双倍速率读写。因此，与普通的 RCD/DB 芯片相比，MRCD/MDR 芯片设计难度更高，构造也更为复杂。随着 MRDIMM 技术逐步成熟以及相关生态日益完善，未来将有更多的服务器 CPU 支持第二子代 MRDIMM，其将为下游应用提供更具性价比的高带宽内存解决方案。

② 客户端内存互连技术

在 DDR4 世代及 DDR5 初期，内存接口芯片只用于服务器内存模组，其核心功能是缓冲来自内存控制器的地址、命令及控制信号，从而提升内存数据访问的速度及稳定性，以满足服务器 CPU 对内存模组日益增长的高性能及大容量需求。由于台式机和笔记本电脑 CPU 及内存模组之间数据传输量相对较小，因此在这类设备中尚未需要对信号进行缓冲。

然而，随着 DDR5 传输速率持续提升，时钟信号频率越来越高，信号完整性面临瓶颈。当 DDR5 数据速率达到 6400MT/s 及以上时，原本无需信号缓冲的 UDIMM、SODIMM（主要用于台式机和笔记本电脑），也需要引入时钟驱动器（CKD），对内存模组的时钟信号进行缓冲和重新驱动，以提高信号完整性和可靠性。DDR5 第一子代 CKD 芯片已于 2024 年开始在行业规模试用，支持速率可达 7200MT/s，主流 CPU 厂商也发布了支持该产品的客户端 CPU。目前，JEDEC 已经制定了新一代 CKD 芯片（支持速率为 9200MT/S）的标准，同时积极推动配备该 CKD 芯片的 CUDIMM 和 CSODIMM 标准的进程。

此外，JEDEC 还制定了尺寸更加紧凑的 CAMM 和 LPCAMM 内存模组的相关标准，以满足笔记本电脑等设备的需求。其中 CAMM 内存模组采用 DDR5 DRAM 颗粒，需配合 CKD、SPD 和 PMIC 芯片使用；而 LPCAMM 内存模组采用 LPDDR5 DRAM 颗粒，需配合 SPD 和 PMIC 芯片使用。

目前，DDR5 相关技术已日臻成熟，相关产品已实现规模商用。为了应对服务器和客户端等应用对高速、大容量、低功耗内存子系统的持续需求，JEDEC 组织已经开始对 DDR6 内存互连技术进行技术讨论和标准制定。公司正深度参与相关技术标准的讨论和制定，并为 DDR6 内存接口芯片和相关模组配套芯片的研发做好准备。行业预计，DDR6 内存模组有望在 2029 年前后开始规模商用。

➤ PCIe 互连技术

PCIe 作为业界广泛采用的高速串行点对点互连标准，已成为 CPU、GPU、FPGA 和 SSD 等关键计算设备之间不可或缺的连接桥梁。PCI-SIG 持续推动 PCIe 标准的演进，以满足不断增长的互连需求。

AI 服务器的快速发展带动 PCIe Retimer 拓展至高速铜缆领域。高速铜缆主要用于数据中心内部服务器与交换机之间、交换机与交换机之间等短距离互联传输场景，铜缆方案不仅有助于提升数据传输速度和可靠性，还在散热效率、信号传输及成本方面有显著的优势。高速铜缆可以分为无源铜缆（DAC）、有源铜缆（ACC）与有源线缆（AEC）三大类，其中 AEC 通过在线缆两端加入 Retimer 芯片实现对信号的放大和再生，相比传统的无源直连铜缆 DAC 的传输距离更长，同时大幅优化了信号质量。据行业分析，AEC 领域既有以太网 Retimer，也有 PCIe Retimer，目前的应用是以太网 Retimer 为主。相比以太网 Retimer，PCIe Retimer 带宽相对较低，但时延相对较小，在推理服务器上可能具备一定优势。

PCIe 6.0 协议将数据传输速率提高了一倍，达到 64GT/s，以支持人工智能和机器学习等计算密集型应用，同时保持了向后兼容性。行业预计 PCIe 6.0 在 GPU、SSD、CXL 领域的应用将快速增长，并进一步扩展到以太网、工业智能化、无人驾驶汽车和物联网(IoT)等新兴领域。

2025 年，PCI-SIG 发布 PCIe 7.0 规范最终版本，新规范将传输速率提升至 128GT/s，其主要特点包括：1.通过 x16 配置可实现高达 512GB/s 的双向带宽；2.采用 PAM4 信号和基于 Flit 的编码技术；3.提高了能效比；4.保持向后兼容性。PCIe 7.0 标准为下一代 AI、机器学习、800 以太网、云计算和量子计算等数据驱动型应用提供了强大的支持。

► CXL 互连技术

CXL 互连技术可以提升系统间各模块的数据交换效率，解决缓存一致性问题，显著改善多路 CPU、CPU 与加速器之间的通信能力，降低延迟，实现数据中心 CPU 和加速器芯片之间的超高速互连，从而提高数据密集型应用程序的性能。

作为当前数据中心领域重要标准之一，CXL 互连技术其有望催生诸多创新应用，改变现有数据中心的基本架构，从而提升其运行效率并降低运行成本。CXL 标准使用 PCIe 协议作为物理接口，增强了兼容性，通过三种基础协议（CXL.io、CXL cache 和 CXL.memory）支持具体应用。在 CXL 1.1 规范的初期，有三种应用模式：其一，调用 CXL.io 和 CXL cache，可以使得一些内存不足的智能设备（比如智能网卡）与 CPU 内存进行交互；其二，调用 CXL.io、CXL cache 和

CXL.memory, 可以实现 CPU、GPU、ASIC 和 FPGA 等设备间内存的共享, 同时解决缓存一致性问题; 其三, 调用 CXL.io 和 CXL.memory 协议, 可实现内存扩展及内存池化。

2023 年 11 月, CXL 联盟发布了 CXL3.1 规范。该规范对横向扩展 CXL 进行了结构优化, 新增了可信执行环境功能, 并改进了内存扩展器。CXL 3.1 的一项新功能是支持使用全局集成内存 (GIM) 通过 CXL 结构进行主机之间的通信, 提升系统性能, 通过 CXL 对内存访问直接点对点支持, 提高 GPU 内存使用效率, 有利于处理大规模数据集和 AI 工作负载。此外, CXL 3.1 还定义了基于端口的路由 CXL 交换机 Fabric Manager API, 使结构管理器成为 CXL 生态系统的关键, 同时, 其可信安全协议 (TSP) 对云服务提供商的多租户虚拟机环境的安全性至关重要。随着 CXL 技术的发展, 未来数据中心的计算节点和内存节点将实现更加快速、高效和灵活的互连。

2025 年 11 月, CXL 联盟推出了最新的 CXL 4.0 规范。该规范在 CXL 3.x 的基础上将传输速度翻倍, 达到 PCIe 7.0 的 128GT/s; 同时扩展了连接距离, 能够最多支持 4 级 Retimer 芯片来显著增强信号传输, 支持跨机架部署; 通过引入捆绑端口的概念允许将多个物理 CXL 端口聚合成一个逻辑实体, 提升总带宽。针对当前 AI/HPC 工作负载的极端带宽需求, 跨机架远距离传输的痛点, 以及不断提升的 CXL 内存 RAS 的要求, CXL 4.0 都提供了相应的解决方案, 成为未来数据中心互连技术的重要选择之一。

3. 公司主要会计数据和财务指标

3.1 近 3 年的主要会计数据和财务指标

单位: 元 币种: 人民币

	2025年	2024年	本年比上年 增减(%)	2023年
总资产	13,748,147,352.18	12,218,911,386.38	12.52	10,697,540,981.27
归属于上市公司股东的净资产	12,923,722,372.46	11,403,438,067.08	13.33	10,191,406,155.95
营业收入	5,456,316,783.63	3,638,911,068.29	49.94	2,285,738,498.23
利润总额	2,320,568,053.46	1,412,617,850.07	64.27	472,218,810.54
归属于上市公司股东的净利润	2,235,569,970.18	1,411,778,923.59	58.35	450,909,813.13
归属于上市公司股东的扣除非经常性损益的净利润	2,021,628,734.94	1,248,290,398.82	61.95	369,932,113.14
经营活动产生的现金流量净额	2,022,020,556.92	1,691,321,506.14	19.55	731,249,699.11
加权平均净资产收益率 (%)	18.25	13.41	增加4.84个百分点	4.44

基本每股收益(元/股)	1.97	1.25	57.60	0.40
稀释每股收益(元/股)	1.96	1.25	56.80	0.40
研发投入占营业收入的比例(%)	16.77	20.98	减少4.21个百分点	29.83

3.2 报告期分季度的主要会计数据

单位：元 币种：人民币

	第一季度 (1-3 月份)	第二季度 (4-6 月份)	第三季度 (7-9 月份)	第四季度 (10-12 月份)
营业收入	1,222,209,473.93	1,411,247,007.15	1,424,232,009.73	1,398,628,292.82
归属于上市公司股东的净利润	525,326,047.97	633,744,331.75	473,213,606.21	603,285,984.25
归属于上市公司股东的扣除非经常性损益后的净利润	502,602,549.26	588,783,209.44	376,038,130.77	554,204,845.47
经营活动产生的现金流量净额	188,245,990.36	870,443,028.97	541,982,422.33	421,349,115.26

季度数据与已披露定期报告数据差异说明

适用 不适用

4. 股东情况

4.1 普通股股东总数、表决权恢复的优先股股东总数和持有特别表决权股份的股东总数及前 10 名股东情况

单位：股

截至报告期末普通股股东总数(户)							106,174
年度报告披露日前上一月末的普通股股东总数(户)							115,748
截至报告期末表决权恢复的优先股股东总数(户)							0
年度报告披露日前上一月末表决权恢复的优先股股东总数(户)							0
截至报告期末持有特别表决权股份的股东总数(户)							0
年度报告披露日前上一月末持有特别表决权股份的股东总数(户)							0
前十名股东持股情况(不含通过转融通出借股份)							
股东名称 (全称)	报告期内 增减	期末持股数 量	比例 (%)	持有有 限售条 件股 份 数 量	质押、标记或冻结情况		股东 性质
					股份 状态	数量	
香港中央结算有限公司	78,515,472	151,412,538	13.21	0	无	0	境外法人

中国电子投资控股有限公司	-17,117,936	48,045,935	4.19	0	无	0	国有法人
WLT Partners,L.P.	0	45,012,524	3.93	0	无	0	其他
上海融迎企业管理合伙企业（有限合伙）	-22,899,251	37,905,987	3.31	0	无	0	其他
招商银行股份有限公司—华夏上证科创板50成份交易型开放式指数证券投资基金	-16,308,124	37,238,787	3.25	0	无	0	其他
中国工商银行股份有限公司—易方达上证科创板50成份交易型开放式指数证券投资基金	-13,177,598	34,640,959	3.02	0	无	0	其他
中信证券股份有限公司—嘉实上证科创板芯片交易型开放式指数证券投资基金	1,429,028	26,026,042	2.27	0	无	0	其他
中国工商银行—上证50交易型开放式指数证券投资基金	21,212,320	21,212,320	1.85	0	无	0	其他
中国工商银行股份有限公司—华泰柏瑞沪深300交易型开放式指数证券投资基金	-639,666	18,881,970	1.65	0	无	0	其他
中国建设银行股份有限公司—华夏国证半导体芯片交易型开放式指数证券投资基金	-4,690,957	13,752,675	1.20	0	无	0	其他
上述股东关联关系或一致行动的说明	1. WLT Partners,L.P.的控制人在上海融迎投资合伙企业（有限合伙）享有重要财产权益； 2. 未知上述其余股东之间的关联关系，也未知是否属于《上市公司收购管理办法》中规定的一致行动人。						
表决权恢复的优先股股东及持股数量的说明	不适用						

注：年度报告披露日前上一月末的普通股股东总数 115,748 户，其中：A 股 115,743 户，H 股登记股东 5 户。

存托凭证持有人情况

适用 不适用

截至报告期末表决权数量前十名股东情况表

适用 不适用

4.2 公司与控股股东之间的产权及控制关系的方框图

适用 不适用

4.3 公司与实际控制人之间的产权及控制关系的方框图

适用 不适用

4.4 报告期末公司优先股股东总数及前 10 名股东情况

适用 不适用

5. 公司债券情况

适用 不适用

第三节 重要事项

一、 公司应当根据重要性原则，披露报告期内公司经营情况的重大变化，以及报告期内发生的对公司经营情况有重大影响和预计未来会有重大影响的事项。

2025 年，受益于 AI 产业趋势，行业需求旺盛，公司互连类芯片出货量显著增加，推动公司 2025 年度经营业绩较上年同期实现大幅增长。因此，报告期内公司实现营业收入 54.56 亿元，较上年度增长 49.94%；实现归属于母公司所有者的净利润 22.36 亿元，较上年度增长 58.35%。

二、 公司年度报告披露后存在退市风险警示或终止上市情形的，应当披露导致退市风险警示或终止上市情形的原因。

适用 不适用